

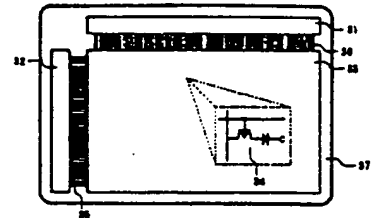
JP 405335572 A
DEC 1993

(54) MATRIX DEVICE, PHOTOELECTRIC DISPLAY AND SEMICONDUCTOR MEMORY DEVICE, PROVIDED WITH THIN FILM TRANSISTOR

(11) 5-335572 (A) (43) 17.12.1993 (19) JP
(21) Appl No. 4-164302 (22) 29.5.1992
(71) SEMICONDUCTOR ENERGY LAB CO LTD (72) SHUNPEI YAMAZAKI(1)
(51) Int. Cl.⁵ H01L29/784,G02F1/136,H01L27/11

PURPOSE: To raise the reliability and the high-speed operation property of a device by forming a matrix consisting of a data line and a gate line, on one substrate in a photoelectric display, which has two sheets of substrates, and forming at least one thin film transistor on the point of its intersection.

CONSTITUTION: In a photoelectric display, such as a liquid crystal display or the like, which is so provided with two sheets of substrates as to catch a material capable of changing its light permeability or light reflectivity by application of an electric field, a transparent conductive material film is formed on one substrate, and a matrix (active matrix part 33) consisting of a data line 35 and a gate line 36 connected to a data driver 31 and gate driver 32, respectively, is formed on the other substrate 37. And, at least one thin film transistor is formed at the point of intersection between the data line 35 and the gate line 36, and one of electric impurity regions, which show p-type conductivity, in a pair, of this thin film transistor is connected to the data line 35, and the other to a pigment electrode, and the gate electrode to the gate line 36.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平5-335572

(43) 公開日 平成5年(1993)12月17日

(51) Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 29/784				
G 0 2 F 1/136	5 0 0	9018-2K		
H 0 1 L 27/11				
		9056-4M	H 0 1 L 29/ 78	3 1 1 A
		8728-4M	27/ 10	3 8 1
審査請求 未請求 請求項の数10(全 10 頁) 最終頁に続く				

(21) 出願番号 特願平4-164302

(22) 出願日 平成4年(1992)5月29日

(71) 出願人 000153878

株式会社半導体エネルギー研究所
神奈川県厚木市長谷398番地

(72) 発明者 山崎 舜平

神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内

(72) 発明者 竹村 保彦

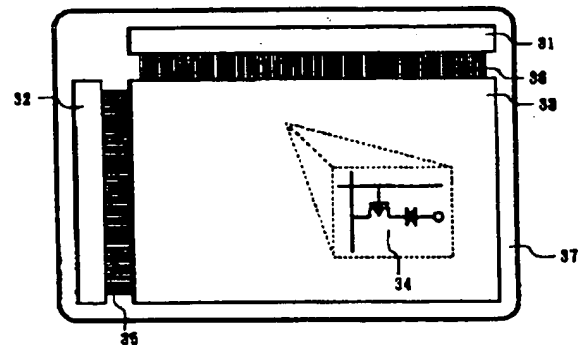
神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内

(54) 【発明の名称】 薄膜トランジスタを有するマトリクス装置、電気光学表示装置、半導体メモリー装置

(57) 【要約】

【目的】 薄膜状絶縁ゲイト型半導体装置を用いて、ダイナミック駆動をおこなう回路の最適な構成を提供する。

【構成】 薄膜状絶縁ゲイト型トランジスタを有するダイナミック回路を構成する際に、リーク電流の小さなPMOSのTFTを用いることを特徴とする。特に、ダイナミック回路の部分以外には、薄膜トランジスタのNMOSとPMOSを混載したCMOS回路を構成して、これによってダイナミック回路を駆動することを特徴とする。



【特許請求の範囲】

【請求項1】 電界印加によって光透過性もしくは光反射性を変化できる材料を間にはさんだ2枚の向かい合った基板からなる電気光学表示装置において、その一方の基板には透明な導電材料の被膜が形成され、他の一方には、データ線およびゲート線からなるマトリクスが形成され、データ線とゲート線の交点には少なくとも1つの薄膜トランジスタが形成され、該トランジスタの1対の不純物領域の一方は前記データ線に接続され、他方は画素電極に接続され、ゲート電極は前記ゲート線に接続され、前記不純物領域はP型の導電型を示すことを特徴とする電気光学表示装置。

【請求項2】 請求項1において、該トランジスタの1対の不純物領域に挟まれた領域には、P型不純物の濃度は 10^{17} 個/cm³以下であることを特徴とする電気光学表示装置。

【請求項3】 請求項1において、該トランジスタの1対の不純物領域に挟まれた領域はセミアモルファス半導体からなることを特徴とする電気光学表示装置。

【請求項4】 請求項1において、該トランジスタの1対の不純物領域に挟まれた領域は多結晶あるいは単結晶もしくはセミアモルファス状態の半導体材料からなる第1の層と、前記チャネル領域の下にあり、前記チャネル領域と同一の材料を主成分とするアモルファス材料からなる第2の層からなることを特徴とする電気光学表示装置。

【請求項5】 請求項1において、前記第1の層および前記第2の層は、主として珪素からなり、前記チャネル領域は多結晶珪素あるいは単結晶珪素もしくはセミアモルファス珪素からなり、前記チャネル下の領域は実質的にアモルファス珪素からなることを特徴とする電気光学表示装置。

【請求項6】 絶縁基板上に形成された薄膜トランジスタを有するアクティブマトリクスにおいて、その周辺回路はN型およびP型の薄膜トランジスタによって形成され、マトリクス回路はP型の薄膜トランジスタによって形成されたことを特徴とするマトリクス装置。

【請求項7】 請求項6において、全ての薄膜トランジスタの活性化領域には、P型不純物の濃度は 10^{17} 個/cm³以下であることを特徴とするマトリクス装置。

【請求項8】 請求項6において、全ての薄膜トランジスタの活性化領域はセミアモルファス半導体からなることを特徴とするマトリクス装置。

【請求項9】 請求項6において、全ての薄膜トランジスタの活性化領域は多結晶あるいは単結晶もしくはセミアモルファス状態の半導体材料からなる第1の層と、前記チャネル領域の下にあり、前記チャネル領域と同一の材料を主成分とするアモルファス材料からなる第2の層からなることを特徴とするマトリクス装置。

【請求項10】 絶縁基板上に形成された薄膜トランジ

スタを有する半導体メモリ装置において、その周辺回路はN型およびP型の薄膜トランジスタによって形成され、メモリ素子領域は、P型の薄膜トランジスタによって形成され、各薄膜トランジスタのゲート電極がビット線に、不純物領域の一方がビット線に接続され、他の不純物領域はキャパシタに接続されたことを特徴とする半導体メモリ装置。

【発明の詳細な説明】

【0001】

10 【産業上の利用分野】 本発明は、液晶表示装置やダイナミックRAM (DRAM) のように、マトリクス構造を有し、スイッチング素子としてMOS型もしくはMIS (金属-絶縁体-半導体) 型電界効果型素子 (以上を、MOS型素子と総称する) を有し、ダイナミックな動作をおこなうことを特徴とするマトリクス装置 (電気光学表示装置、半導体メモリ装置を含む) 、およびそのための駆動回路に関する。特に本発明は、MOS型素子として絶縁基板上に形成された薄膜半導体トランジスタ等の薄膜半導体素子を使用する装置に関する。

【0002】

【従来の技術】 最近、絶縁基板上に、薄膜状の活性層 (活性領域ともいう) を有する絶縁ゲイト型の半導体装置の研究がなされている。特に、薄膜状の絶縁ゲイトトランジスタ、いわゆる薄膜トランジスタ (TFET) が熱心に研究されている。これらは、マトリクス構造を有する液晶等の表示装置において、各画素の制御用に利用することが目的であり、利用する半導体の材料・結晶状態によって、アモルファスシリコンTFETや多結晶シリコンTFETというように区別されている。もっとも、最近では多結晶シリコンとアモルファスの中間的な状態を呈する材料も利用する研究がなされている。この材料は、セミアモルファスといわれ、アモルファス状の組織に小さな結晶が浮かんだ状態であると考えられている。この材料は後で述べるように単結晶状態の高移動度とアモルファス状態の低リーク電流という特徴を併せ持つ優れた材料である。

30 【0003】 また、単結晶シリコン集積回路においても、いわゆるSOI技術として多結晶シリコンTFETが用いられており、これは例えば高集積度SRAMにおいて、負荷トランジスタとして使用される。但し、この場合には、アモルファスシリコンTFETはほとんど使用されない。

【0004】 さらに、絶縁基板上の半導体回路では、基板と配線との容量結合がないため、非常に高速動作が可能であり、超高速マイクロプロセッサや超高速メモリとして利用する技術が提案されている。

【0005】 一般にアモルファス状態の半導体の電界移動度は小さく、したがって、高速動作が要求されるTFETには利用できない。また、アモルファスシリコンでは、P型の電界移動度は著しく小さいので、Pチャネル

型のTFT (PMOSのTFT) を作製することができず、したがって、Nチャネル型TFT (NMOSのTFT) と組み合わせ、相補型のMOS回路 (CMOS) を形成することができない。

【0006】しかしながら、アモルファス半導体によって形成したTFTはOFF電流が小さいという特徴を持つ。そこで、液晶のアクティブマトリクスの特ランジスタのように、それほど高速動作が要求されず、一方の導電型だけで十分であり、かつ、電荷保持能力の高いTFTが必要とされる用途に利用されている。

【0007】一方、多結晶半導体は、アモルファス半導体よりも電界移動度が大きく、したがって、高速動作が可能である。例えば、レーザーアニールによって再結晶化させたシリコン膜を用いたTFTでは、電界移動度として $300\text{ cm}^2/\text{Vs}$ もの値が得られている。通常の単結晶シリコン基板上に形成されたMOSTランジスタの電界移動度が $500\text{ cm}^2/\text{Vs}$ 程度であることからすると、極めて大きな値であり、単結晶シリコン上のMOS回路が基板と配線間の寄生容量によって、動作速度が制限されるのに対して、絶縁基板上であるのでそのような制約は何ら無く、著しい高速動作が期待されている。

【0008】また、多結晶シリコンでは、NMOSのTFTだけでなく、PMOSのTFTも同様に得られるのでCMOS回路を形成することが可能で、例えば、アクティブマトリクス方式の液晶表示装置においては、アクティブマトリクス部分のみならず、周辺回路 (ドライバ等) をもCMOSの多結晶TFTで構成する、いわゆるモノリシック構造を有するものが知られている。

【0009】前述のSRAMに使用されるTFTもこの点に注目したものであり、PMOSをTFTで構成し、これを負荷トランジスタとしている。

【0010】また、通常のアモルファスTFTにおいては、単結晶IC技術で使用するようなセルフアラインプロセスによってソース/ドレイン領域を形成することは困難であり、ゲート電極とソース/ドレイン領域の幾何学的な重なりによる寄生容量が問題となるのに対し、多結晶TFTはセルフアラインプロセスが採用できるため、寄生容量が著しく抑えられるという特徴を持つ。

【0011】

【発明が解決しようとする課題】このような特徴を有する多結晶TFTの利点に対して、いくつかの問題点も指摘されている。一般的な多結晶TFTは絶縁基板上に活性層が形成され、その上にゲート絶縁膜とゲート電極を有するコプラナー型である。この構造はセルフアラインプロセスが採用できるというメリットがあるものの、活性層のリーク電流 (OFF電流) を低減することが困難であった。

【0012】このリーク電流の原因については、詳細が明らかでないが、その大きな原因は下地と活性層の間に

生じる界面電荷によるものであった。したがって、この界面の作製に細心の注意を払い、界面単位密度がゲート酸化膜と活性層の間と同じ程度にまで低減することによって解決された。

【0013】すなわち、高温プロセス (最高プロセス温度 1000°C 程度) にあては、基板として石英を使用し、その上にシリコンの被膜を形成して、これを 1000°C 程度で熱酸化して、清浄な表面を形成してから、減圧CVD法等の製膜方法によって活性シリコン層を形成した。

【0014】また、低温プロセス (最高プロセス温度 650°C 以下のプロセス。中温プロセスともいう。) では、基板と活性層の間にゲート絶縁膜と同じ程度に界面単位密度の低い酸化珪素膜を下地膜として形成するという方法を採用した。酸化珪素膜の形成方法としては、スパッタ法が優れている。他にECR-CVD法や、TEOSのプラズマCVD法によっても優れた特性の酸化膜が得られる。

【0015】しかしながら、なおリーク電流は改善できなかった。特にNMOSの方がPMOSよりも1桁以上大きかった。本発明人は、その原因が活性層が弱いN型であるためと推測した。実際に、高温プロセスや低温プロセスで作製したPMOSとNMOSのしきい値電圧が、負の方向にシフトするという現象が再現良く観測された。これは特にシリコンにおいて、他に不純物の添加されない純度の高い場合には、アモルファスシリコンのように結晶性がよくない場合には弱いN型になるためであろうと推測した。高温プロセスの多結晶シリコンは完璧な単結晶シリコンとは異なり、多くの格子欠陥やダングリングボンドが存在し、これらがドナーとなって電子を供給するものと推測した。もちろん微量の混入元素 (ナトリウム等) の影響の可能性も残されている。

【0016】ともかく、そのような原因があれば、NMOSのしきい値電圧がPMOSに比較して著しく低く、リーク電流が大きいということの説明がつく。その様子を図1に示す。NMOSにおいて、図1 (A) に示すようにソース12 (N⁺型) を接地し、ドレイン13 (N⁺型) に正の電圧を印加した状態でゲート電極11にしきい値電圧 V_{th} よりも大きな電圧を印加すると活性層14のゲート電極側にチャネルが形成されて、ドレイン電流 (図中の実線の矢印) が流れるが、活性層14は弱いN型 (N⁻型) であるので、ソースからドレインには、ゲート電圧にほとんど依存しない電流 (図中の点線の矢印) が流れている。

【0017】もし、ゲート電極の電位がしきい値電圧 V_{th} 以下の状態であっても、この点線の電流は流れている。ゲート電極の電位が大きな負の値になると、図1 (B) に示すように反転層 (P型) 16が生じるが、チャネル全体が反転するには到らず、逆に過大な電圧を印加すると、ゲートの反対側に電子が蓄積されてチャネル

が形成されてしまうこととなる。実際に得られているNMOSのデータはこの考察と矛盾しない。

【0018】一方、PMOSでは、活性層がN⁻型であるのでしきい値電圧は大きくなる。しかし、ゲートの反対側のリークは大幅に減少する。図2には、PMOSにしきい値以下の電圧、もしくはしきい値以上の電圧を印加した場合の様子を示してある。

【0019】このようなNMOSに顕著なリーク電流は様々な応用分野、特にダイナミック動作を必要とする分野で障害となった。例えば、液晶のアクティブマトリクスやDRAMではリーク電流によって、画像情報や記憶情報が消失してしまう。そこで、このようなリーク電流を低減することが必要とされた。

【0020】1つの方法はNMOSの活性層を真性(I型)もしくは弱いP型とすることである。例えば、活性層形成時にNMOSだけに、あるいはNMOSとPMOSの両方に適当な量のP型不純物(例えば、ボロン)を打ち込んで、NMOSの活性層をI型もしくは弱いP型としたところ、NMOSのしきい値電圧が上昇し、リーク電流も大きく低減するはずである。しかし、この方法

にはいくつかの問題点がある。

【0021】通常は、1枚の基板上にNMOSもPMOSも混載されたCMOS回路が使用されるが、N型のみに不純物注入をおこなうとすれば、余計にフォトリソグラフィ工程が必要である。また、NMOSとPMOSの両方の活性層にP型の不純物を注入しようとするれば、微妙な不純物注入技術が必要とされる。注入量が多過ぎれば、今度は逆にPMOSのしきい値電圧が減少し、リーク電流が増加することとなる。

【0022】イオン注入技術も問題である。質量分離をおこなう注入技術では、必要な不純物元素のみを注入することが可能であるが、処理面積は小さい。また、いわゆるイオンドーピング法では処理面積は大きい、質量分離工程がないために不要なイオンも注入され、ドーピング量が正確でない可能性がある。

【0023】また、このようなイオンを加速して注入するという方法では、活性層と下地の界面に局在準位を形成する原因となる。さらに、従来のような単結晶半導体に対するイオン注入と異なり、絶縁基板上の注入であるので、チャージアップ現象がはなはだしく、注入量を精密に制御することは困難である。

【0024】そこで、活性層成膜時に、P型の不純物を予め混入しておくことも考えられるが、微量不純物の量を制御することは困難であり、NMOSとPMOSを同じ皮膜から形成する場合には、量が適切でないとPMOSのリーク電流を増加させ、また、NMOSとPMOSを違う皮膜から形成する場合にはマスクプロセスが1つ余計に必要とされる。また、このような方法でしきい値電圧を制御することは、ガス流量等の要因によって、TFTのしきい値のばらつきが生じることであり、ロ

ト毎のしきい値のばらつきは著しく大きくなる。

【0025】本発明はこのような困難な課題に対して解答を与えんとするものであるが、その主旨とするところは、プロセスによって、NMOSのリーク電流の低減を図るのではなく、回路設計の最適化によって、リーク電流の大きなTFTでも使用できる回路を設計するものである。先に述べたように、活性層として、純度の高いシリコン材料から形成した場合には、N⁻型となるが、そのエネルギー準位は極めて再現性が高く、安定している。また、プロセス自体も極めてシンプルであり、歩留りも十分に高い。これに対し、しきい値電圧を制御するさまざまな方法は、プロセスを煩雑にするばかりでなく、得られる活性層のエネルギー準位(フェルミレベル等)もロットごとにまちまちのものとなり、歩留りも低下する。

【0026】明らかに、プロセスの改良によってNMOSを回路にあわせるよりも、すなわち、 10^{17} cm^{-3} 程度の微妙なドーピングをおこなうよりも、極力不純物を排除したプロセスの方が容易であり、その結果得られるNMOSにあわせて回路を設計する方が得策である。本発明の技術思想はここにある。

【0027】

【問題を解決する方法】本発明の適用される半導体回路は普遍的なものではない。本発明は、特に液晶表示装置等の電界の効果によって光の透過性や反射性が変化する材料を利用し、対向する電極との間にこれらの材料をはさみ、対向電極との間に電界をかけて、画像表示をおこなうためのアクティブマトリクス回路や、DRAMのようなキャパシタに電荷を蓄積することによって記憶を保持するメモリー装置や、同じくMOSTランジスタのMOS構造部をキャパシタとして、あるいはその他のキャパシタによって、次段の回路を駆動するダイナミックシフトレジスタのようなダイナミック回路を有する回路に適している。特に、ダイナミック回路とスタティック回路の混載された回路に適した発明である。

【0028】本発明の1つの例は、液晶等のアクティブマトリクス回路の表示部分において、PMOSのTFTをスイッチングトランジスタとして用いることである。ここでは、PMOSのTFTがデータ線と画素電極に対して直列に挿入されていることが必要であり、NMOSのTFTが並列に挿入されている場合は、リーク電流が多いためかような表示の目的には不適切である。したがって、画素のTFT回路においてはPMOSとNMOSのTFTが直列に挿入されている場合も本発明は含む。もちろん、2つのPMOSのTFTが並列に挿入されていることも本発明の技術範囲である。

【0029】本発明の2つめの例は、前記のような表示回路部(アクティブマトリクス)とその駆動回路(周辺回路)とを有する装置において、駆動回路をCMOS回路とすることである。この場合、回路の全てがCMOS

である必要はないが、トランスミッションゲイトやインバータ回路はCMOS化されるのが望ましい。そのような装置の概念図を図3に示した。図には絶縁基板37上にデータドライバー31とゲイトドライバー32が構成され、また、中央部にPMOSのTFTを有するアクティブマトリクス33が構成され、これらのドライバー部とアクティブマトリクスとがゲイト線35、データ線36によって接続された表示装置が示されている。アクティブマトリクス33はPMOSを有する画素セル34の集合体である。

【0030】CMOS回路に関しては、例えば、得られたTFTのしきい値電圧が、NMOSでは2V、PMOSでは6V、さらにリーク電流がNMOSの方がPMOSよりも10倍以上多くてもCMOSインバータでは全く支障がない。

【0031】というのも、インバータのような論理回路ではリークによる消費電力はさほど問題とされないからである。また、インバータの動作は、低電圧状態はNMOSのしきい値電圧以下、高電圧状態はドレイン電圧とPMOSのしきい値電圧(<0)の和以上であることが要求されるが、この場合はドレイン電圧が8V以上、理想的には10V以上あれば問題はなく、例えば、入力は0Vと8Vの2値とすれば十分である。

【0032】本発明の3つめの例はDRAMのような半導体メモリに関するものである。半導体メモリ装置は、単結晶ICでは既に速度の限界に達している。これ以上の高速動作をおこなわせるには、トランジスタの電流容量をより大きくすることが必要であるが、それは消費電流の一段の増加の原因になるばかりではなく、特にキャパシタに電荷を蓄えることによって記憶動作をおこなうDRAMに関しては、キャパシタの容量をこれ以上、拡大できない以上、駆動電圧を上げることによって対応するしか方法がない。

【0033】単結晶ICが速度の限界に達したといわれるのは、一つには基板と配線の容量によって、大きな損失が生じているからである。もし、基板に絶縁物を使用すれば、消費電流をあげなくとも十分に高速な駆動が可能である。このような理由からSOI(絶縁物上の半導体)構造のICが提案されている。

【0034】DRAMにおいても、1Tr/セル構造の場合には、先の液晶表示装置と回路構成がほとんど同じであり、それ以外の構造のDRAM(例えば、3Tr/セル構造)でも、記憶ビット部のTFTにリーク電流の小さいPMOSのTFTを使用する。基本的なブロック構成は図3のものと同じである。例えば、DRAMにおいては、31がコラムデコーダー、32がローデコーダー、33が記憶素子部、34が単位記憶ビット、35がビット線、36がワード線、37が(絶縁)基板である。

【0035】液晶表示装置のアクティブマトリクスもD

RAMも、いずれもリフレッシュ動作を必要とするものであるが、そのリフレッシュの期間の間には、画素の容量やキャパシタの容量に蓄積された電荷が放電してしまわないように、TFTが十分に大きな抵抗として機能する必要がある。もし、この場合にNMOSのTFTを用いたならば、リーク電流が大きいために十分な駆動ができない。リーク電流の低いPMOSのTFTを用いる利点はここにある。

【0036】本発明では、高温プロセスのTFTでも有効であるが、特に有効なのは低温プロセスのTFTである。低温プロセスで得られたTFTは、その活性層の組織構造がアモルファスと単結晶の中間であり、また、格子歪みが大きく、いわゆるセミアモルファス状態で、したがって、物性的にアモルファス状態に近い。すなわち、純粋なシリコン材料によって低温プロセスで作製した活性層は、大抵の場合、N⁻型である。

【0037】ここで、セミアモルファス状態について詳細な説明を加えると、アモルファス状態のシリコンは熱を加えるにしたがって結晶成長を始めるが、大気圧下では650℃程度までは、結晶成長という状態ではない。すなわち、結晶性のよい部分の間に比較的結晶性のわるい部分が存在し、しかも分子間の結合がタイトであり、通常のイオン結晶における結晶析出とはことなった様相を示す。すなわち、不對結合手(ダングリングボンド)は極めて少ないことが特徴である。もし、結晶成長が680℃を越えると結晶の成長速度が著しく促進され、多くの結晶粒からなる多結晶状態となる。そして、この場合には、それまで格子歪みによって緩衝されていた結晶粒界の分子結合が破壊されて、粒界部にダングリングボンドが多数形成される。

【0038】さて、このようなセミアモルファス状態の材料では、活性層へ不純物をドーピングしたとしても、アモルファスシリコンの場合と同様にあまり活性化には寄与しない。その原因としては、本発明人等はドーパント不純物が特にダングリングボンドの多い箇所に選択的にトラップされるためではないかと考えている。したがって、セミアモルファス状態の活性層、もしくは低温プロセスによって形成された活性層では、ドーピングによるしきい値電圧の制御は困難である。

【0039】また、本発明は、本発明人等の発明である特願平4-73315に記述されるような2層の活性層を有するTFTにおいても有効である。このTFTでは、基板側にアモルファス状態の活性層を設け、その上にセミアモルファス、あるいは多結晶状態の活性層を設けるもので、基板と活性層の界面に存在する電荷によって発生するリークを極限まで減らすことができる。しかしながら、構造上、アモルファスシリコンを用いるために、下側の活性層はN⁻型である。したがって、界面に起因するリークは減らせても、この活性層に起因するリークはなかなか減らせない。例えば、PMOSではリー

ク電流が 10^{-12} A以下（ドレイン電圧1 V）であっても、NMOSでは、リーク電流がその100倍以上であった。

【0040】その作製方法は図4に例示される。まず、基板41上に、窒化珪素等のパッシベーション力の強い皮膜42を形成する。基板が十分に清浄であれば、このような皮膜を形成しなくともよい。さらに下地酸化膜43を形成する。そして、アモルファスシリコン膜を2層形成するが、その堆積速度や堆積基板温度を最適化することによって、後の熱処理によってアモルファス状態のままだるか、セミアモルファス化あるいは多結晶化するかが決定される。この例では上の層45、47がセミアモルファス化（もしくは多結晶化）し、下の層44、46はアモルファスのままだる。

【0041】このような方法の特徴は、同一のチャンバーを用いて成膜をおこないながらも、その条件を微妙に変化させることによって2種の性質の異なるシリコン膜が形成できることにあり、不純物添加によるしきい値電圧制御は、この方法の利点をつぶすこととなる。もし、下の層44、46をN⁻型からI型にまで変えようとしても、この層はアモルファスのままだるので、イオン化率が悪く、多量のドーピングが必要である。したがって、チャンバーがこれらの不純物によって著しく汚染され、逆にPMOSの活性層をP型にしてしまう可能性を有している。したがって、このような2層構造の活性層を有するTFTは、ドーピングによるしきい値電圧制御を必要としない本発明に極めて適している。このようなTFTの形成方法は実施例において詳述する。

【0042】

【実施例】〔実施例1〕 図4に本発明を用いたCMOS回路の作製実施例を説明する。本実施例では基板41としてコーニング社の7059番ガラス基板を使用した。基板はこの他にも様々な種類のものを使用することができるが、半導体被膜中にナトリウム等の可動イオンが侵入しないように基板に応じて対処しなければならない。理想的な基板はアルカリ濃度の小さい合成石英基板であるが、コスト的に利用することが難しい場合には、市販の低アルカリガラスもしくは無アルカリガラスを使用することとなる。本実施例では、基板41上には基板からの可動イオンの侵入を阻止する目的で、厚さ5~200 nm、例えば10 nmの窒化珪素膜42を減圧CVD法で形成した。さらに、窒化珪素膜上に、スパッタ法によって、厚さ20~1000 nm、例えば50 nmの酸化珪素膜43を形成した。これらの被膜の膜厚は、可動イオンの侵入の程度、あるいは活性層への影響の程度に応じて設計される。

【0043】例えば、窒化珪素膜42の質が悪く、電荷のトラップが大きい場合には、酸化珪素膜を通して上の半導体層に影響を及ぼすので、その場合には酸化珪素膜43を厚くする必要がある。

【0044】これらの皮膜の形成には、上記のような減圧CVD法やスパッタ法だけでなく、プラズマCVD法等の方法によって形成してもよい。特に酸化珪素膜の形成には、TEOSを利用してよい。それらの手段の選択は投資規模や量産性等を考慮して決定すればよい。これらの被膜は連続的に成膜されてもよいことはいうまでもない。

【0045】その後、減圧CVD法によって、モノシランを原料として、厚さ20~200 nm、例えば100 nmのアモルファスシリコン膜を形成した。基板温度は430~480℃、例えば450℃とした。さらに、連続的に基板温度を変化させ、520~560℃、例えば550℃で、厚さ5~200 nm、例えば10 nmのアモルファスシリコン膜を形成した。基板温度は後の結晶化の際に重要な影響を与えることが本発明人等の研究の結果、明らかにされた。例えば、480℃以下で成膜したものは結晶化させることが難しかった。逆に520℃以上の温度で成膜したものは結晶化しやすかった。このようにして得られたアモルファスシリコン膜は、600℃で2時間熱アニールした。その結果、上部のシリコン膜のみが結晶化し、いわゆるセミアモルファスシリコンと言われる結晶性シリコンを得た。一方、下部のシリコン膜はアモルファス状態のままだる。

【0046】上部のシリコン膜の結晶化を促進するためには膜中に含まれている炭素、窒素、酸素の濃度は、いずれも $7 \times 10^{19} \text{ cm}^{-3}$ 以下であることが望ましい。本実施例では、SIMS分析によって $1 \times 10^{17} \text{ cm}^{-3}$ 以下であることを確認した。逆に下部のシリコン膜の結晶化を抑制するためにはこれらの元素が多く含まれていると都合がよい。しかし、過剰なドーピングは半導体特性、ひいてはTFT特性に悪影響を与えるので、ドーピングの有無やその量はTFTの特性に応じて設計される。

【0047】さて、アモルファスシリコン膜を熱アニールによって、結晶性シリコン膜としたのち、これを適当なパターンにエッチングして、NTFT用の島状半導体領域45とPTFT用の島状半導体領域47とを形成する。各島状半導体領域の上部には、意図的な不純物ドーピングはされず、特にボロン等の不純物濃度は 10^{17} cm^{-3} 以下であることをSIMS（2次イオン質量分析法）によって確認した。したがって、この部分の導電型は、N⁻型であると推測される。一方、各半導体領域の下部のシリコン層44、46は実質的にアモルファスシリコンであった。

【0048】その後、酸素雰囲気中での酸化珪素をターゲットとするスパッタ法によって、ゲイト絶縁膜（酸化珪素）48を厚さ50~300 nm、例えば100 nmだけ形成した。この厚さは、TFTの動作条件等によって決定される。

【0049】次にスパッタ法によって、アルミニウム皮

膜を厚さ500nmだけ形成し、これを混酸(5%の硝酸を添加した磷酸溶液)によってパターニングし、ゲイト電極・配線49および50を形成した。エッチングレートは、エッチングの温度を40℃としたときに225nm/分であった。このようにして、TFTの外形を整えた。このときのチャンネルの大きさは、いずれも長さ8μm、幅20μmとした。このときの状態を図4(A)に示す。

【0050】さらに、陽極酸化法によってアルミニウム配線の表面に酸化アルミニウムを形成した。陽極酸化の方法としては、本発明人等の発明である特願平3-231188もしくは特願平3-238713に記述される方法を用いた。詳細な実施の様態については、目的とする素子の特性やプロセス条件、投資規模等によって変更を加えればよい。本実施例では、陽極酸化によって、厚さ250nmの酸化アルミニウム被膜51および52を形成した。

【0051】その後、ゲイト酸化膜を通したイオン注入法によって、公知のCMOS作製技術を援用し、N型ソース/ドレイン領域53とP型ソース/ドレイン領域54を形成した。いずれも不純物濃度は $8 \times 10^{19} \text{ cm}^{-3}$ となるようにした。イオン源としては、P型はフッ化ホウ素イオンを、N型はリンイオンを用い、前者は加速電圧80keVで、後者は加速電圧110keVで注入した。加速電圧はゲイト酸化膜の厚さや半導体領域45、47の厚さを考慮して設定される。イオン注入法のかわりに、イオンドーピング法を用いてもよい。イオン注入法では注入されるイオンは質量によって分離されるので、不必要なイオンは注入されることがないが、イオン注入装置で処理できる基板の大きさは限定される。一方、イオンドーピング法では、比較的大きな基板(例えば対角30インチ以上)も処理する能力を有するが、水素イオンやその他不必要なイオンまで同時に加速されて注入されるので、基板が加熱されやすい。この場合にはイオン注入法で使用するようなフォトレジストをマスクとした選択的な不純物注入は難しい。

【0052】このようにして、オフセット領域を有するTFTが作製された。その様子を図4(B)に示す。最後に、レーザーアニール法によって、ゲイト電極部をマスクとしてソース/ドレイン領域の再結晶化をおこなった。レーザーアニールの条件は、例えば特願平3-231188や同3-238713に記述されている方法を使用した。そして層間絶縁物55として、酸化珪素をRFプラズマCVD法で形成し、これに電極形成用の穴を開け、アルミニウム配線56~48を形成して、素子を完成させた。

【0053】本実施例では、レーザーアニールによって、もともと結晶性シリコンであった、被膜45、47のみならず、アモルファスシリコンであった被膜44、46までもが結晶化される。これは、レーザーアニール

が強力だからである。その結果、図4(C)に示すように初期のアモルファス領域44、46はチャンネルの下の部分59、60以外は全てソース/ドレインとおなじ結晶性を有する材料に変換されてしまった。その結果、ソース/ドレインの厚さは島状半導体領域45、47と実質的に同じとなった。しかしながら、実質的なチャンネルの厚さは図から明らかなように、約10nmというようにソース/ドレイン領域よりも薄かった。その結果、ソース/ドレインのシート抵抗は小さく、また、チャンネルが薄い分だけOFF電流が少ないという優れた特性を示すことができた。

【0054】図4には液晶表示装置の駆動回路に使用されるCMOS回路の作製工程を示したが、同じ基板上のアクティブマトリクス部には、PMOSが同じように形成されている。このようにして形成されたTFTの特性は、チャンネル長が5μm、チャンネル幅が20μmで、ソース/ドレイン電圧が1Vの状態、NMOSのリーク電流は~100pA、PMOSはPMOSの~1pAであった。このようにオフ抵抗はPMOSの方が100倍も大きかった。また、ゲイト電圧が+8V(PMOSの場合は-8V)のオン状態では、NMOSは10μA、PMOSは100nAの電流を流した。PMOSのドレイン電流がNMOSに比べて著しく小さいのは、しきい値電圧がPMOSの場合には、負にシフトしているからである。したがって、PMOSのゲイト電圧を-12Vとしたときには、ドレイン電流は1μAとなった。すなわち、このようなTFTを用いて、トランスミッションゲイトを構成せんとすれば、PTFTに印加する電位を負の方にシフトさせるべきである。

【0055】アクティブマトリクス部のPMOSのTFTの大きさは、チャンネル長5μm、チャンネル幅10μmとした。アクティブマトリクスとして利用されたPMOSのTFTのゲイト電圧を0Vから-12Vまで変化させると、ドレイン電流は 10^6 倍にまで増大するので、画像表示用としては問題がなかった。さらに、大きく変動させることが必要な場合にはPMOSのTFTを2つ直列に構成して、いわゆるデュアルゲイト構造とするとよい。この場合には、オフ状態では、TFTの抵抗はさらに約1桁上昇するものの、ON状態では、TFTの抵抗は2倍程度にしかならないので、結局、ドレイン電流は 10^7 も変動することとなる。TFTを3段直列に形成したら、さらに変動率は1桁増加する。

【0056】〔実施例2〕 図5には、本発明を実施するためのNMOSおよびPMOS素子の作製工程を示す。本実施例では、高温プロセスによるTFTを作製した。まず、石英基板61(幅105mm×長さ105mm×厚さ1.1mm)上に、減圧CVD法によって、不純物のドーピングされていないポリシリコン膜を厚さ100~500nm、好ましくは150~200nm形成した。そして、これを乾燥した高温の酸素雰囲気中で酸化

せしめた。温度は850~1100℃の範囲とし、950~1050℃が特に好ましかった。このようにして、基板上に酸化珪素膜62を形成した(図5(A))。

【0057】さらに、ジシランを原料とするプラズマCVD法もしくは減圧CVD法によってアモルファスシリコン膜を厚さ100~1000nm、好ましくは、350~700nm形成した。基板温度は350~450℃とした。そして、これを550~650℃、このましくは580~620℃で長時間アニールして、結晶性を持たせた。そして、これをパターニングして、図5(B)に示すようにNMOSの領域63aとPMOSの領域63bを形成した。

【0058】ついで、乾燥した高温の酸化雰囲気中で上記シリコン領域63の表面を酸化して、図5(C)に示すように、シリコン領域の表面に厚さ50~150nm、好ましくは50~70nmの酸化珪素膜64を形成した。酸化条件は、酸化珪素62と同じとした。

【0059】その後、リンが $10^{19} \sim 2 \times 10^{20} \text{ cm}^{-3}$ 、例えば $8 \times 10^{19} \text{ cm}^{-3}$ ドーパされたシリコン膜を厚さ200~500nm、好ましくは350~400nmだけ形成し、これを図5(D)のようにパターニングして、NMOSのゲイト65aおよびPMOSのゲイト65bを形成した。さらに、イオン注入法によって、NMOSおよびPMOSの不純物領域66および67をそれぞれ形成した。

【0060】このとき、これらの不純物の底面は下地の酸化珪素膜62に達しないようにした。すなわち、下地の酸化膜とシリコン膜の界面には多くの局在準位が形成され、結果として、下地の酸化膜付近のシリコン膜は特定の導電型(通常の場合はN型)を示す。もし、不純物領域が、このような部分のシリコン膜に隣接していた場合には、リークが生じる。したがって、このようなリークを避けるために、本実施例では不純物領域の底面と下地酸化膜62の間に50~200nmの空間を設けた。

【0061】本実施例では、酸化珪素膜64を通してイオン注入をおこなったが、より精密に不純物領域の深さを制御するためには、酸化珪素膜64を除去して、熱拡散をおこなってもよい。

【0062】不純物領域を形成した後、熱アニールによって、不純物領域の結晶性を回復させた。その後は通常のTFTの作製工程と同様に、層間絶縁物(リンボロンガラス)68を堆積して、リフローによって平坦化させ、コンタクトホールを形成して金属配線69~71を形成した。

【0063】以上の工程によって形成された、TFTを使用して、1T1セルのDRAM(16kビット)を作製した。TFTのチャンネル部の大きさをチャンネル長2μm、チャンネル幅10μmとしたときの、NMOSのリーク電流は、ソース/ドレイン電圧が1Vのときに、約10pA、PMOSのリーク電流は、同じ条件で約0.

1pAであった。メモリー素子部はチャンネル長2μm、チャンネル幅2μmのPMOSを使用した。メモリー素子部のキャパシタの容量は0.5pFとし、リフレッシュ周期は最大5秒という長時間の記憶保持が可能となった。これは、PMOSのオフ状態の抵抗が $5 \times 10^{11} \Omega$ という高い値であったため可能となった。また、周辺回路は、上記の工程で作製したNMOSとPMOSを使用して、CMOS化した。このような絶縁基板上的DRAMであるので、高速動作が可能であり、ビットあたり1000nsecで書き込み・読出が可能であった。

【0064】

【発明の効果】本発明によって、特にダイナミックな回路およびそのような回路を有する装置の信頼性と性能を高めることができた。従来、特に液晶表示装置のアクティブマトリクスのような目的に対しては多結晶TFTはON/OFF比が低く、実用化にはさまざまな困難があったが、本発明によってそのような問題はほぼ解決されたと思われる。さらに、実施例2に示したように絶縁基板上の半導体回路は高速動作という点で優れている。実施例では示さなかったが、単結晶半導体集積回路の立体化の手段として用いられるTFTにおいても本発明を実施することによって効果を挙げられることは明白であろう。

【0065】例えば、周辺論理回路を単結晶半導体上の半導体回路で構成し、その上に層間絶縁物を介してTFTを設け、これによってメモリー素子部を構成することもできる。この場合には、メモリー素子部をPMOSのTFTを使用したDRAM回路とし、その駆動回路は単結晶半導体回路にCMOS化されて構成されている。しかも、このような回路をマイクロプロセッサに利用した場合には、メモリー部を2階に上げることになるので、面積を節約することができる。このように本発明は産業上、極めて有益な発明であると考えられる。

【図面の簡単な説明】

【図1】 NMOSのTFTの動作の概念図を示す。

【図2】 PMOSのTFTの動作の概念図を示す。

【図3】 本発明の構成の概念図を示す。

【図4】 本発明のTFTの作製工程を示す。

【図5】 本発明のTFTの作製工程を示す。

【符号の説明】

11、21・・・ゲイト電極

12、22・・・ソース領域

13、23・・・ドレイン領域

14、24・・・活性層

15、25・・・チャンネル

16、26・・・反転層

31・・・データドライバー(DRAMの場合にはコラムデコーダー)

32・・・ゲイトドライバー(DRAMの場合にはローデコーダー)

15

16

33・・・アクティブマトリクス部 (DRAMの場合は記憶素子部)

35・・・ゲイト線 (DRAMの場合はビット線)

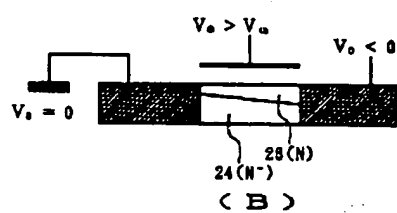
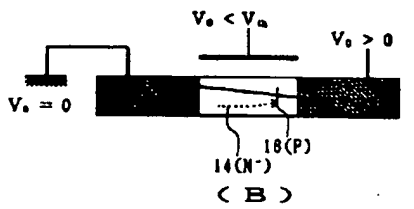
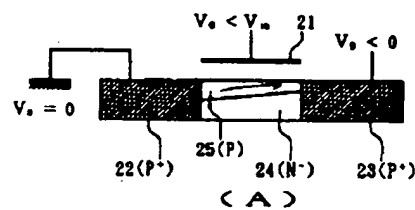
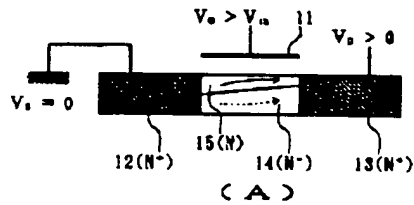
34・・・単位画素 (DRAMの場合は単位記憶ビット)

36・・・データ線 (DRAMの場合はワード線)

37・・・絶縁基板

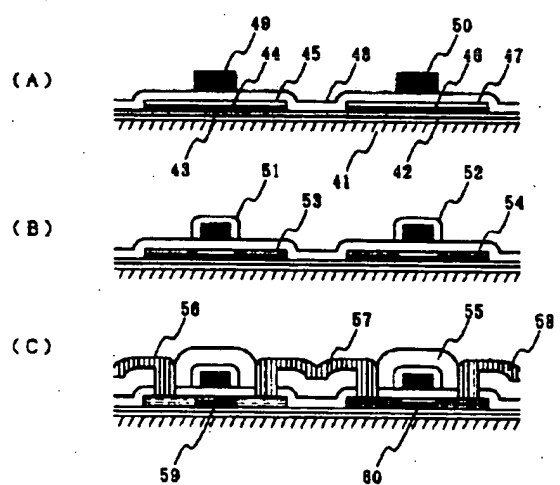
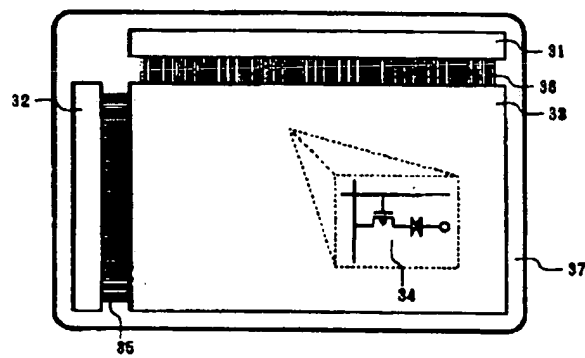
【図1】

【図2】

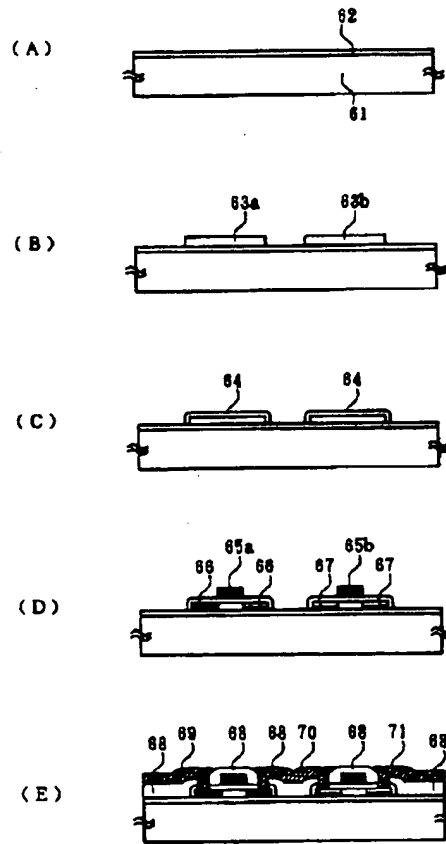


【図3】

【図4】



【図5】



フロントページの続き

(51) Int. Cl. 5

識別記号

庁内整理番号
9056 -4M

F I

H 0 1 L 29/78

技術表示箇所

3 1 1 C